

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2001 EPO. All rts. reserv.

1286505

Basic Patent (No,Kind,Date): JP 49134276 A2 741224 <No. of Patents: 001>

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 49134276	A2	741224	JP 7347212	A	730427 (BASIC)

Priority Data (No,Kind,Date):

JP 7347212 A 730427



(2000円)

特 許 願 (A6) 後記号なし

48.4.27

昭和 48 年 4 月 27 日

①9 日本国特許庁

公開特許公報

特許庁長官 殿

1. 発明の名称

集積回路用絶縁性基板の
処理方法

2. 発明者

神奈川県川崎市幸区小向東芝町1
東京芝浦電気株式会社総合研究所内

井 島 浩 輔

(ほか 1 名)

3. 特許出願人

(307)

神奈川県川崎市幸区堀川町72番地

東京芝浦電気株式会社

代表者 王 置 敬 三

4. 代理人

(5628)

弁護士 富 岡



①特開昭 49-134276

④公開日 昭49.(1974)12.24

②特願昭 48-47212

②出願日 昭48.(1973)4.27

審査請求 未請求 (全4頁)

庁内整理番号

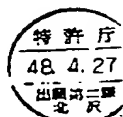
⑤日本分類

7113 57

995C23

6513 57

995H0



明 細 書

1. 発明の名称

集積回路用絶縁性基板の処理方法

2. 特許請求の範囲

集積回路用絶縁性基板上に膜ガラス層を形成する工程と、この工程により形成された膜ガラス層と前記基板とから成る積層物を前記基板の清浄化処理に必要な温度以上に加熱する工程とからなることを特徴とする集積回路用絶縁性基板の処理方法。

3. 発明の詳細な説明

本発明は清浄な集積回路用絶縁性基板を得るための基板処理方法に関するものである。

従来、絶縁性基板例えばサファイア基板上に半導体層例えばSi層を設け、これに半導体技術により素子を形成し、SOS(Silicon on Sapphire)集積回路となした場合、例えばMOSの界面特性等の劣化が生じ、SOS集積回路のパラッキが大きかった。

本発明者等は、この原因を種々検討した結果、

サファイア基板上に、膜ガラスを形成し、この膜ガラスの形成された基板を加熱処理することにより、サファイア基板の清浄化が行われる事を見出した。

本発明は、上記知見に基づいてなされたもので、集積回路用絶縁性基板上に膜ガラスを形成し、この形成された物を加熱する事により、前記絶縁性基板の清浄化を行う集積回路用絶縁性基板の処理方法を提供するものである。

以下、本発明の実施例について第1図乃至第2図を用いて説明する。

実施例1

反応炉(図示せず)内に、厚さ例えば200 μ 、直径例えば125mmの絶縁性基板例えばサファイア基板(11)を設置し、炉温を例えば350°Cに設定する。

この反応炉に例えば二系統のガス導入口を設け一万の導入口からシランガス(SiH₄)を導入する。

又、他方の導入口から、例えば酸素ガスをキャリアガスとして ^{POCL₃} ~~POCL₃~~ を導入する。

このようにして、前記サフア基板 (11) 上に、燐ガラス (12) を例えば 3000\AA の厚さに形成する。

次に、この燐ガラス (12) の形成された前記サフア基板 (11) をガス雰囲気例えば酸素等の活性ガス雰囲気中で例えば 500°C 以上の高温で、数分から数十分間加熱処理する。

この加熱処理により、明らかではないがサフア基板 (11) 中の Na イオン等のグッターリングが行われるものと思われる。

次に上記処理済のサフア基板 (11) 上の、前記燐ガラス (12) を除去する。

次に、半導体層例えば Si 層 (13) を、通常のシラン熱分解法により厚さ例えば 1μ に形成する。

次いで、前記 Si 層 (13) を例えば温度 1050°C で 20 分間スチーム (Steam) 酸化し、厚さ約 2000\AA の熱酸化膜 (14) を形成する。

さらに、熱酸化膜 (14) 上に、電極材料例えば Al 層 (15) を厚さ例えば 1μ に形成する。

然る後、エッチング等により第 1 図 (C) に示す如

き MOS キャパシタを形成する。

この MOS キャパシタの $0-V$ (容量-電圧) 特性を測定し、通常の BT 処理例えば、室温で $5 \times 10^6 \text{ V/cm}$ の電界を 5 分間加えることによる反転電圧のシフトを求め、前記熱酸化膜 (14) 中可動イオンを見積ると、この可動電荷 (ΔQ_{ss}) は $\Delta Q_{ss} \approx 2 \sim 5 \times 10^{10}/\text{cm}^2$ と少なかつた。

因みに、同様の MOS キャパシタを、燐処理を行わないサフア基板上に形成し、上記同様の方法により、可動イオンを見積ると $\Delta Q_{ss} \approx 7.5 \times 10^{11}/\text{cm}^2$ であつた。

実施例 2

反応炉 (図示せず) 内に、厚さ例えば 200μ 、直径例えば 12.5mm の絶縁性基板例えばサフア基板 (31) を設置し、炉温を例えば 350°C に設定する。

この反応炉に例えば二系統のガス導入口を設け一方の導入口からシランガス (SiH_4) を導入する。

又、他方の導入口から例えば酸素ガスをキャリアガスとして POCl_3 を導入する。

なす。

次に、例えばフッ化アンモニウムを用いて前記酸化膜 (34) を除去する。

次に例えば水蒸気を含んだ酸素雰囲気中、例えば 1000°C で、厚さ例えば 1200\AA のゲート酸化膜 (35) を形成する。

次に該ゲート酸化膜 (35) 上に、例えばシラン熱分解により多結晶 Si (36) を厚さ例えば 4000\AA に成長させ、さらにこの多結晶 Si (36) 上に、通常のシランの熱分解法により第 2 の酸化膜 (37) を厚さ例えば 4000\AA に成長させる。

次にこの第 2 の酸化膜 (37) を所望のマスクパターンを用い通常の写真食刻法により、例えばフッ化アンモニウムを用いて選択エッチングする。

そして、エッチングされずに残つた前記酸化膜 (37) をマスクとして、前記多結晶 Si (36) をエッチングし、第 2 図 (D) に示す如き形状となす。

次に、前記 Si 層 (33) に設けられるソース領域 (33a) 及びドレイン領域 (33b) 上の、酸化膜 (35) と、前記多結晶 Si (36) 上の酸化膜 (37) を例えば

このようにして、前記サフア基板 (31) 上に、燐ガラス (32) を例えば 3000\AA の厚さに形成する。

次にこの燐ガラス (32) の形成された前記サフア基板 (31) をガス雰囲気例えば酸素等の活性ガス雰囲気中で例えば 500°C 以上の高温で、数分から数十分間加熱処理する。

次に、前記処理済のサフア基板 (31) 上の前記燐ガラス (32) を除去する。

次に半導体層例えば Si 層 (33) を通常のシラン熱分解法により厚さ例えば 1μ に形成する。

次いで前記 Si 層 (33) を例えば温度 1050°C で 20 分間スチーム (Steam) 酸化し、厚さ約 2000\AA の第 1 の酸化膜 (34) を形成する。

この第 1 の酸化膜 (34) を所望のマスクパターンを用い通常の写真食刻法により、例えばフッ化アンモニウムを用いて選択エッチングする。

そして、エッチングされずに残つた酸化膜 (34) を、マスクとして稀硝酸溶液を用いて前記 Si 層 (33) をエッチングし、第 2 図 (D) に示す如き形状と

フッ化アンモニウムでエッチング除去する。

然る後、例えば 1050°C で 10 分間程度不純物を拡散例えばガロン拡散を行い、ソース領域 (33a) 及びドレイン領域 (33b) へ不純物を導入し、ソース及びドレインとなす。

次に通常のシランの熱分解により、第 3 の酸化膜 (37) を例えば厚さ 1.2μ に形成する。

次に、例えば POCl_3 を用い 1050°C 、20 分の熱処理を行う。

次に、この処理により形成された磷ガラス層を除去した後、改めて磷ガラス層 (38) を例えば厚さ 2000 \AA に形成する。

次に、通常の写真蝕刻法によりソース電極及びドレイン電極引出し用の窓開けを、前記第 2 の酸化膜 (37) 及び前記磷ガラス層 (38) に対して行う。

次に、電極材料例えば Al 層 (39) を蒸着等により設け、配線パターンニングを行い、素子 (Si ゲート MOS) となす。

このような方法により製造された素子の特性 (例えば、MOS 界面特性、PN 接合特性) のバラツ

キは、前記サフア基板 (31) を熱処理しなかつたものと比べ、極めて少なくなつていた。

上記実施例においては、絶縁性基板としてサフア基板を用いた場合を示したが、スピネル基板その他の絶縁性基板を用いる事が出来る。

上記実施例においては、シランガスと酸素ガスにより運ばれた POCl_3 を用いて磷ガラスを形成した場合を示したが、キャリアガスは酸素のみに限定されず、他の活性ガス、 N_2 或いは Ar 等の不活性ガス、水蒸気その他を用いることが出き、又、磷ガラスの形成法は上記実施例に限定されるものではない。

又、上記実施例においては、集積回路素子製造の前処理として、サフア基板の熱処理を行つた場合を示したが、素子製造プロセスの途中で例えばサフア基板裏面に磷ガラスを設けて、これを加熱処理することにより熱処理を行つてもよい。

又、上記実施例においては、 500°C 以上の温度で加熱処理した場合を示したが、基板の清浄化処

理に必要な温度であれば 500°C 以下でもよい。

以上説明した如く本発明方法によれば、集積回路用絶縁性基板上に磷ガラスを形成し、この形成された物を加熱処理することにより、前記絶縁性基板の清浄化が計られるので、この絶縁性基板上に設けられる Si、GaAs、その他半導体素子の種々の特性を向上させることが出来る。

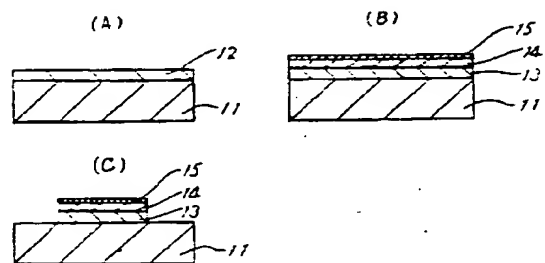
4. 図面の簡単な説明

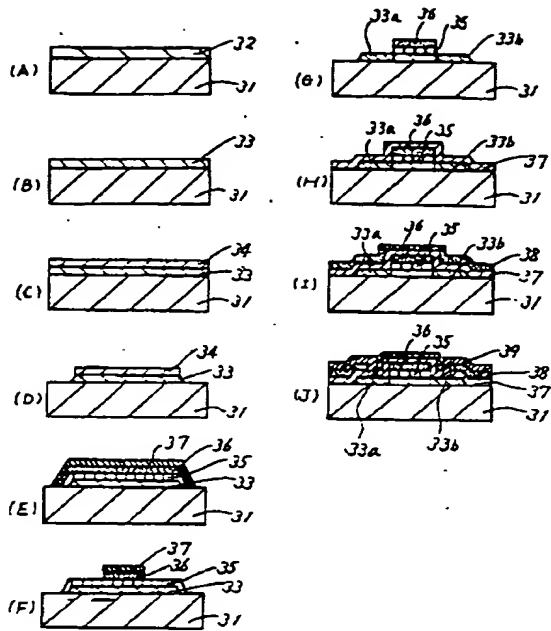
第 1 図 (A) 乃至 (C) は本発明の一実施例を説明するための図、第 2 図 (A) 乃至 (C) は、本発明の他の実施例を説明するための図である。

図において、11、31…サフア基板 12、32、38…リンガラス、13、33…Si 層、14、34、37…酸化膜、15、39…Al 層、35…ゲート酸化膜。

代理人 弁理士 富 岡 章
(ほか 3 名)

図 1





2. 添付書類の目録

(1) 委任状	1 通
(2) 明細書	1 通
(3) 図面	1 通
(4) 願書副本	1 通

3. 前記以外の発明者、特許出願人または代理人

2 筆署名

(1) 発明者

神奈川県川崎市幸区小向東芝町1
東芝電気株式会社総合研究所内

武 石 喜 幸

代 理 人

東京都港区芝西久保明町16番地
東京芝浦電気株式会社内 門分室内

(7317) 弁護士 則 近 憲 佑

(7567) 同 所 弁護士 峰 隆 司

(7568) 同 所 弁護士 竹 花 喜 久 男